

Patent/Publication Number: JP2001035095A  
Application Number: JP1999205958A  
Date Filed: 19990721  
Title: DIGITAL SIGNAL REPRODUCING DEVICE  
Publication Date: 20010209

[INVENTOR]

Name: TONAMI JUNICHIRO  
City: Country:

[ASSIGNEE]

Name: VICTOR COMPANY OF JAPAN  
City: Country:

[FOREIGN PRIORITY]

Country: JP  
Date Filed: 19990721  
Application No.: JP1999205958A

Intl. Class: G11B002014  
Intl. Class: G11B002010  
Intl. Class: G11B002018  
Intl. Class: H04L0007033

ECLA (main): G11B002010A

ECLA (additional): H04L0007033

[ABSTRACT]

PROBLEM TO BE SOLVED: To provide a digital signal reproducing device capable of surely reproducing recorded information on a recording medium while stably following a phase without inducing phase oscillation or bit slip in the device itself. SOLUTION: Concerning a resampling DPLL for generating and outputting resampling data by resampling a digital regenerative signal at a desired bit rate, this resampling DPLL is composed of an interpolator 141, a phase detector 142 for generating and outputting the resampling data and generating and outputting '0' point information showing a zero cross point and a phase error signal from an input data value, an error selecting circuit 143 for receiving the phase error signal and the '0' point information as an input signal, selecting only an effective component out of the phase error signal and generating and outputting a new phase error signal by invalidating the phase error signal generated just after an inversion interval except for a set range, a loop filter 144 and a timing generator 145. COPYRIGHT: (C) 2001, JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-35095

(P2001-35095A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G 1 1 B 20/14	3 5 1	G 1 1 B 20/14	3 5 1 A 5 D 0 4 4
20/18	5 2 2	20/18	5 2 2 C 5 K 0 4 7
			5 2 2 D
	5 7 0		5 7 0 D
H 0 4 L 7/033		H 0 4 L 7/02	B
審査請求 未請求 請求項の数4 O L (全 10 頁)			

(21) 出願番号 特願平11-205958

(22) 出願日 平成11年7月21日 (1999.7.21)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 戸波 淳一郎

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(74) 代理人 100085235

弁理士 松浦 兼行

Fターム (参考) 5D044 BC03 GM12 GM15

5K047 AA03 CC12 GG09 GG25 GG45

LL15 MM15 MM33 MM56 MM60

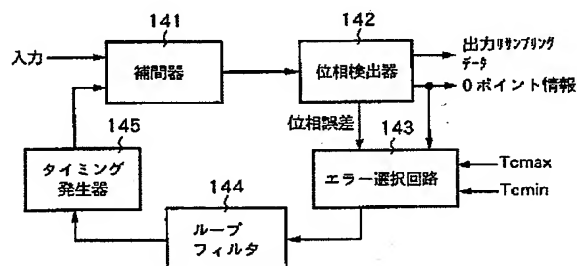
MM63

(54) 【発明の名称】 デジタル信号再生装置

(57) 【要約】

【課題】 従来は、位相誤差に信頼性が低く、記録信号の反転間隔が長ければ長いほど、ビットスリップが生じ易く、同期信号付近で位相揺れが生じてビットスリップなどが起きると、ビットエラーレートなどは著しく悪化する。

【解決手段】 デジタル再生信号を所望のビットレートでリサンプリング演算してリサンプリングデータを生成し出力するリサンプリングDPLLは、補間器141と、リサンプリングデータを生成出力すると共に、入力データ値からゼロクロス点を示す0ポイント情報と位相誤差信号を生成して出力する位相検出器142と、位相誤差信号と0ポイント情報とを入力信号として受け、位相誤差信号のうちの有効な成分だけを選択して、設定した範囲以外の反転間隔の直後に発生する位相誤差信号を無効化して新しい位相誤差信号を生成して出力するエラー選択回路143と、ループフィルタ144と、タイミング発生器145とより構成される。



## 【特許請求の範囲】

【請求項1】 再生信号中から再生したランレングス制限符号をデジタル信号に変換して得たデジタル再生信号を、所望のビットレートでリサンプリング演算してリサンプリングデータを生成してイコライザへ出力すると共に、ビットクロックを生成し、更に前記リサンプリングデータのゼロクロスを検出して0ポイント情報を出力するリサンプリング演算位同期ループ回路と、前記リサンプリング演算位同期ループ回路によりリサンプリングされた信号をバーチャルレスポンス等化するイコライザとを有し、前記リサンプリング演算位同期ループ回路は、前記デジタル再生信号に対し、データ点位相情報とビットクロックに基づき位相点データのデータ値を補間により推定して出力する補間器と、前記補間器から入力されたデータ値である位相0°のリサンプリングデータから位相180°のリサンプリングデータを生成し出力すると共に、入力データ値からゼロクロス点を検出し、このゼロクロス点を示す0ポイント情報と前記ゼロクロス点でのデータ値を利用した位相誤差信号とを出力する位相検出器と、前記位相誤差信号と前記0ポイント情報とを入力信号として受け、前記位相誤差信号のうちの有効な成分だけを選択して、設定した範囲以外の反転間隔の直後に発生する位相誤差信号を無効化して新しい位相誤差信号を生成して出力するエラー選択回路と、前記エラー選択回路から出力される前記新しい位相誤差信号を積分するループフィルタと、前記ループフィルタの出力信号を受け、次のデータ点位相の推定を行って前記データ点位相情報を得ると共に、前記ビットクロックを生成して前記補間器へ出力するタイミング発生器とより構成したことを特徴とするデジタル信号再生装置。

【請求項2】 前記エラー選択回路は、前記位相検出器から出力された、隣り合う2つの前記0ポイント情報の間のビットクロック数をカウントするカウンタ回路と、前記カウンタ回路のカウント値が予め設定した最大値と最小値の範囲内にあるかどうかを判定してエラー選択制御信号を出力するエラー選択制御信号発生器と、前記エラー選択制御信号が、前記カウンタ値が前記範囲内にあることを示しているときには前記位相検出器の前記位相誤差信号を選択し、前記範囲内にないことを示しているときには論理"0"を選択するスイッチ回路とよりなり、前記スイッチ回路より前記新しい位相誤差信号を出力することを特徴とする請求項1記載のデジタル信号再生装置。

【請求項3】 再生信号中から再生したランレングス制限符号をデジタル信号に変換して得たデジタル再生信号を、所望のビットレートでリサンプリング演算してリサンプリングデータを生成してイコライザへ出力すると共に、ビットクロックを生成し、更に前記リサンプリングデータのゼロクロスを検出して0ポイント情報を

出力するリサンプリング演算位同期ループ回路と、前記リサンプリング演算位同期ループ回路によりリサンプリングされた信号をバーチャルレスポンス等化するイコライザとを有し、前記リサンプリング演算位同期ループ回路は、前記デジタル再生信号に対し、データ点位相情報とビットクロックに基づき位相点データのデータ値を補間により推定して出力する補間器と、前記補間器から入力されたデータ値である位相0°のリサンプリングデータから位相180°のリサンプリングデータを生成し出力すると共に、入力データ値からゼロクロス点を検出し、このゼロクロス点を示す0ポイント情報と前記ゼロクロス点でのデータ値を利用して位相誤差信号を出力する位相検出器と、前記位相誤差信号と前記0ポイント情報とを入力信号として受け、前記位相誤差信号のうちの有効な成分だけを選択して、設定した範囲以外の反転間隔の直前直後の両方に発生する位相誤差信号を無効化して新しい位相誤差信号を生成して出力するエラー選択回路と、前記エラー選択回路から出力される前記新しい位相誤差信号を積分するループフィルタと、前記ループフィルタの出力信号を受け、次のデータ点位相の推定を行って前記データ点位相情報を得ると共に、前記ビットクロックを生成して前記補間器へ出力するタイミング発生器とより構成したことを特徴とするデジタル信号再生装置。

【請求項4】 前記エラー選択回路は、前記位相検出器から出力された、隣り合う2つの前記0ポイント情報の間のビットクロック数をカウントするカウンタ回路と、前記カウンタ回路のカウント値が予め設定した最大値と最小値の範囲内にあるかどうかを示す信号を出力するエラー選択制御信号発生器と、前記エラー選択制御信号発生器の出力信号とこの出力信号を次のゼロクロスポイント検出時点まで遅延した遅延信号の両方が、前記カウンタ値が前記範囲内にあるか否かを示すエラー選択制御信号を出力する信号生成回路と、前記位相検出器の前記位相誤差信号に対し、前記信号生成回路の出力エラー選択制御信号と時間合わせのための遅延を施す遅延手段と、前記信号生成回路から出力される前記エラー選択制御信号が前記範囲内にあることを示しているときには前記遅延手段により遅延された前記位相誤差信号を選択し、前記範囲内にないことを示しているときには論理"0"を選択するスイッチ回路とよりなり、前記スイッチ回路より前記新しい位相誤差信号を出力することを特徴とする請求項3記載のデジタル信号再生装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はデジタル信号再生装置に係り、特に光ディスク等の記録媒体から再生された、ランレングス制限符号を所望のビットレートでリサンプリング演算してリサンプリングデータを生成してイコライザへ出力するリサンプリング演算位同期ループ

回路を備えたデジタル信号再生装置に関する。

【0002】

【従来の技術】図10は従来のデジタル信号再生装置の一例のブロック図を示す。同図において、光ディスク等の記録媒体51に記録されている、情報信号がデジタル変調されてなるデジタル信号は、図示しない再生手段により再生され、前置増幅器52で前置増幅され、図示しないA/D変換器でサンプリングされた後、ATC回路53で直流成分(DC成分)が阻止され、AGC回路54で振幅が一定になるように自動利得制御(AGC)される。PLL回路55はAGC回路54から入力される入力信号を所望のビットレートでリサンプリングしたデジタルデータを生成して適応イコライザ(クロストークキャンセラ(CTC))56に供給する。

【0003】適応イコライザ56は、入力信号に対して例えばパーシャルレスポンス(PR)特性を付与して、波形等化を行う。適応イコライザ56の出力信号は、復号回路57に供給され、ここで例えば公知のビタビ復号された後、ECC回路58に供給され、復号データ列中の誤り訂正符号を用いて、その誤り訂正符号の生成要素の符号誤りが訂正され、誤りの低減された復号データが出力される。

【0004】

【発明が解決しようとする課題】しかるに、上記の図10に示した従来のデジタル信号再生装置では、特に記録媒体51がランレングス制限符号が記録されている光ディスクである場合は、以下の問題がある。

【0005】第1の問題は、デジタル信号再生装置が高域減衰特性のため、反転間隔の短い信号のレベルが小さく、記録信号に存在しない反転間隔が生じることもあり、そのサンプル点から得られる位相誤差に信頼性が低いということである。これは、記録媒体51の記録密度が高密度化されればされるほど、影響が大きくなる。誤った位相誤差がフィードバックされると、当然エラーレートは悪くなる。

【0006】第2の問題は、記録されているランレングス制限符号の反転間隔が長ければ長いほど位相誤差が累積するため、ビットスリップが生じ易くなるということである。ビットスリップが生じると、位相誤差は全く異なる値を示すため、自分で位相揺れを誘発する可能性が高い。つまり、あまり反転間隔の長い信号付近の位相誤差も信頼性が低い。この現象は、特に周波数引き込みの段階で影響を及ぼし、最悪の場合には、引き込めない状態も起こる。

【0007】第3の問題は、DVD(Digital Versatile Disc)などでは、誤り訂正符号(ECC)などに用いる同期信号には、信号のランレングス制限内に存在しないパターン(3T~11Tまでのランレングス制限に対して14T;Tはチャンネルクロック周期)が選ばれており、検出し易くしているが、反転間隔が長くなればな

るほど、信号のDC成分が大きくなるため、正しい反転位置からずれやすくなるということである。つまり、正しい位相誤差が得られず、フィードバック制御により、自ら位相揺れを生じてしまいがちとなる。

【0008】同期信号付近で位相揺れが生じてビットスリップなどが起きると、その同期信号ブロックすべてが誤ったデータとして検出されるため、バーストエラーとなり、ビットエラーレートなどは著しく悪化する。これが頻繁に発生するようでは、システムとしては致命的である。

【0009】本発明は以上の点に鑑みなされたもので、自ら位相揺れ、ビットスリップなどを誘発せず、安定した位相の追従を行いながら、確実に記録媒体の記録情報を再生し得るデジタル信号再生装置を提供することを目的とする。

【0010】また、本発明の他の目的は、高密度記録された記録媒体の記録情報をパーシャルレスポンス等化を用いて正確に再生し得るデジタル信号再生装置を提供することにある。

【0011】

【課題を解決するための手段】上記の目的を達成するため、第1の発明は、再生信号中から再生したランレングス制限符号をデジタル信号に変換して得たデジタル再生信号を、所望のビットレートでリサンプリング演算してリサンプリングデータを生成してイコライザへ出力すると共に、ビットクロックを生成し、更にリサンプリングデータのゼロクロスを検出して0ポイント情報を出力するリサンプリング演算位同期ループ回路と、リサンプリング演算位同期ループ回路によりリサンプリングされた信号をパーシャルレスポンス等化するイコライザとを有し、リサンプリング演算位同期ループ回路を、補間器と、位相検出器と、エラー選択回路と、ループフィルタと、タイミング発生器からなる一巡のループ回路としたことを特徴とする。

【0012】ここで、上記の補間器は、上記のデジタル再生信号に対し、データ点位相情報とビットクロックに基づき位相点データのデータ値を補間により推定して出力する。上記の位相検出器は、補間器から入力されたデータ値である位相0°のリサンプリングデータから位相180°のリサンプリングデータを生成し出力すると共に、入力データ値からゼロクロス点を検出し、このゼロクロス点を示す0ポイント情報とゼロクロス点でのデータ値を利用した位相誤差信号とを出力する。上記のエラー選択回路は、位相誤差信号と0ポイント情報とを入力信号として受け、位相誤差信号のうちの有効な成分だけを選択して、設定した範囲以外の反転間隔の直後に発生する位相誤差信号を無効化して新しい位相誤差信号を生成して出力する。上記のループフィルタは、エラー選択回路から出力される新しい位相誤差信号を積分する。そして、上記のタイミング発生器は、ループフィルタの

出力信号を受け、次のデータ点位相の推定を行ってデータ点位相情報を得ると共に、ビットクロックを生成して補間器へ出力する。

【0013】この第1の発明では、エラー選択回路により位相誤差信号のうちの有効な成分だけを選択して、設定した範囲以外の反転間隔の後に発生する位相誤差信号を無効化して新しい位相誤差信号を生成して出力するようにしているため、確からしくない位相誤差に基づくリサンプリング動作を行わないようにできる。

【0014】また、上記の目的を達成するため、第2の発明は、第1の発明におけるエラー選択回路に代えて、エラー選択回路を、位相誤差信号と0ポイント情報とを入力信号として受け、位相誤差信号のうちの有効な成分だけを選択して、設定した範囲以外の反転間隔の直前直後の両方に発生する位相誤差信号を無効化して新しい位相誤差信号を生成して出力する構成としたものである。

【0015】この第2の発明では、エラー選択回路により位相誤差信号のうちの有効な成分だけを選択して、設定した範囲以外の反転間隔の前後に発生する位相誤差信号を無効化して新しい位相誤差信号を生成して出力するようにしているため、確からしくない位相誤差に基づくリサンプリング動作を行わないようにできる。

【0016】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明になるデジタル信号再生装置の一実施の形態のブロック図を示す。同図において、光ディスクから公知の光ヘッドにより再生された信号は、A/D変換器11に供給され、ここでマスタークロックでサンプリングされてデジタル信号に変換されて、次段のAGC・ATC回路12に供給され、ここで振幅が一定に制御される自動振幅制御(AGC)及び2値コンパレートの閾値を適切に直流(DC)制御する自動閾値制御(ATC)が行われる。

【0017】AGC・ATC回路12の出力信号は、後述する減算回路13を通してリサンプリングDPLL14に供給される。リサンプリングDPLL14は、自身自身のブロックの中でループが完結しているデジタルPLL(位相同期ループ)回路で、入力信号を所望のビットレートでリサンプリング(間引き補間)演算して生成したリサンプリングデータ(すなわち、リサンプリングデータの位相0°、180°のうち、180°のリサンプリングデータを、イコライザ16内のトランスバースフィルタとエラー演算器15にそれぞれ供給する。

【0018】また、リサンプリングDPLL14は、位相0°のリサンプリングデータのゼロクロスを検出しており、それにより得られる0ポイント情報をイコライザ16内のタップ遅延回路とエラー演算器15にそれぞれ供給する。なお、上記0ポイント情報は、ビットサンプリングのデータが、ゼロレベルとクロスするポイントを

ビットクロック単位で示している。更に、リサンプリングDPLL14は、この0ポイント情報が示すゼロクロスポイントに相当する位相180°のリサンプリングデータの値に基づいて、それが0になるように、リサンプリングのタイミング、つまり周波数及び位相をロックさせる。

【0019】リサンプリングDPLL14は、例えば図2のブロック図に示す如き構成とされている。同図において、補間器141は図1の減算回路13からの入力デジタル信号と後述のタイミング発生器145からの信号とを入力信号として受け、タイミング発生器145から入力されるデータ点位相情報とビットクロックから位相点データのデータ値を補間により推定して出力する。この補間器141の出力データ値は位相検出器142に供給される。

【0020】位相検出器142は、入力データ値、つまり、位相0°のリサンプリングデータから位相180°のリサンプリングデータを生成し、出力する。例えば、1ビット前のデータ $D_{t-1}$ と現時点でのデータ $D_t$ に対して $(D_{t-1} + D_t) / 2$ を演算することにより、位相180°のリサンプリングデータが得られる。更に、位相検出器142は入力データ値、つまり位相0°のサンプリングデータからゼロクロス点を検出し、ゼロクロス点でのデータ値を利用して位相誤差として出力する。例えば、1ビット前のデータ $D_{t-1}$ と現時点でのデータ $D_t$ とからゼロクロス点を検出し、 $D_{t-1}$ の極性に $(D_{t-1} + D_t) / 2$ を乗ずることにより、位相誤差が得られる。

【0021】従来は位相検出器からは位相誤差のみを出力するようにしているが、この実施の形態では、位相検出器142からゼロクロス点を示す0ポイント情報も出力するようにしている。この0ポイント情報は、リサンプリングDPLL14がロックすべきゼロクロス点に相当する、前述の位相180°のサンプルポイントが存在するタイミングを示す。

【0022】位相検出器142から出力された位相誤差信号と0ポイント情報は、エラー選択回路143に供給される。エラー選択回路143は上記の0ポイント情報のタイミングのビットサンプリング間隔をカウントし、そのカウント値 $T_{count}$ が設定した範囲(最大値 $T_{cmax}$ 、最小値 $T_{cmin}$ )に存在しない場合には、その直後あるいは直前と直後に出力される位相誤差信号を無効化した、新しい位相誤差信号を生成してループフィルタ144に供給する。すなわち、設定した範囲以外の反転間隔の直後、又は反転間隔の直前直後の両方に発生する位相誤差信号を無効化して新しい位相誤差信号を生成してループフィルタ144に供給する。

【0023】ループフィルタ144で積分された位相誤差信号は、タイミング発生器145に供給され、ここでループフィルタ144の出力の次のデータ点位相の推定が行われ、このデータ点位相情報と、同じく生成された

ビットクロックが補間器141に供給される。

【0024】再び図1に戻って説明するに、エラー演算器15は、リサンプリングDPLL14の出力信号から0ポイント情報に基づいてDCオフセット情報のみを抽出し、積分処理したものをDCずれ成分として、減算回路13に供給する。減算回路13はAGC・ATC回路12の出力信号からDC成分を取り除いてリサンプリングDPLL14に供給する。リサンプリングDPLL14は、減算回路13からの入力信号を所望のビットレートでリサンプリング（間引き補間）演算して生成したリサンプリングデータを、イコライザ16に供給する。

【0025】イコライザ16は、リサンプリングDPLL14の出力信号に対してパーシャルレスポンス（PR）特性を付与して波形等化した後、ビタビ復号回路（図示せず）に供給して、ビタビ復号させる。このビタビ復号の回路構成は公知であり、例えば等化後再生波形のサンプル値からブランチメトリックを計算するブランチメトリック演算回路と、そのブランチメトリックを1クロック毎に累積加算してバスマトリックを計算するバスマトリック演算回路と、バスマトリックが最小となる、最も確からしいデータ系列を選択する信号を記憶するバスマトリックメモリとよりなる。このバスマトリックメモリは、複数の候補系列を格納しており、バスマトリック演算回路からの選択信号に従って選択した候補系列を復号データ系列として出力する。

【0026】次に、本発明の要部をなすリサンプリングDPLL14の構成と動作について、更に詳細に説明する。図3はリサンプリングDPLL14を構成するエラー選択回路143の一実施の形態のブロック図を示す。同図に示すように、エラー選択回路143は、位相検出器142から出力される0ポイント情報の時間間隔に応じたビットサンプリング間隔のカウンタ値Tcountを得るTカウンタ回路21と、このカウンタ値Tcountが最大値Tcmaxと最小値Tcminとの間の設定範囲内にあるか否かに応じて異なる論理値のエラー選択制御信号を出力するエラー選択制御信号発生器22と、固定の値0を発生する0発生器24と、エラー選択制御信号により位相検出器142からの位相誤差信号と0発生器24からの固定の値0のいずれかを選択して新しい位相誤差信号とじて出力するスイッチ回路23とより構成されている。

【0027】また、上記のTカウンタ回路21は、図4のブロック図に示すように、スイッチ回路211と、1発生器212と、加算器213と、0発生器214と、D型フリップフロップ（D-FF）215とより構成されており、D-FF215のイネーブル端子には位相検出器142からビットクロックBCLKが入力され、クロック端子CLKには再生装置に設けられた発振器からのマスタークロックMCLKが入力されるようになされている。D-FF215の出力信号は、カウンタ値Tc

ountとして出力される一方、加算器213にフィードバックされる。

【0028】更に、エラー選択制御信号発生器22は、図5に示すように、カウンタ値Tcountが、 $T_{cmin} \leq T_{count} < T_{cmax}$ の不等式を満足する場合、すなわち、設定範囲内にカウンタ値Tcountが存在するときは論理“1”、それ以外のときには論理“0”のエラー選択制御信号を出力する構成とされている。

【0029】次に、この実施の形態の動作について、図6のタイムチャートを併せ参照して説明する。エラー選択回路143をオフとしたときのリサンプリングDPLL14の出力信号が図6（A）に実線で示すような信号の、×又は○で示す位相180°のリサンプリングデータである場合を例にとると、図2の位相検出器142からは図6（B）に模式的に示す如き位相誤差信号が取り出されて、エラー選択回路143に入力される。なお、図6（B）中、E1～E6は位相誤差値を示す。

【0030】一方、Tカウンタ回路21内の図4に示すD-FF215は、イネーブル端子ENに入力されるビットクロックBCLKがアクティブの期間、スイッチ回路211からデータ端子Dに入力される信号をマスタクロックMCLKによりラッチする。ここで、スイッチ回路211は端子aに入力される0発生器214からの固定の0値と、端子bに入力される加算器213の出力信号とを入力として受け、位相検出器142からの0ポイント情報が“1”のとき（このときは、ゼロクロスポイントを示しており、リサンプリングによって形成されたサンプルポイントが存在するタイミングを示す）のみ、端子aに入力される“0”を選択し、0ポイント情報が“0”のときは、D-FF215の出力値と1発生器212の出力とを加算器213で加算した値を選択する。

【0031】従って、D-FF215は、0ポイント情報が“1”のとき（図6（A）に丸印で示すゼロクロスポイントに相当するデータが入力されたとき）は、0をラッチし、図6（A）に×印で示すそれ以外のサンプルが入力されるときには加算器213の出力値をラッチし、1ビットクロック分遅れて図6（C）に示すカウンタ値Tcountを出力する。このカウンタ値Tcountは、ゼロクロスサンプルが入力されると0にリセットされ、次のゼロクロスサンプルが入力されるまで、ビットクロック周期で、すなわち、サンプルデータ入力毎に1ずつカウンタアップする値であり、隣り合う2つの0ポイント情報の時間間隔におけるビットクロック数（ゼロクロスサンプル以外のサンプル数）を示している。

【0032】エラー選択制御信号発生器22は、上記のカウンタ値Tcountが $T_{cmin} \leq T_{count} < T_{cmax}$ の不等式を満足する場合、論理“1”、それ以

外のときには論理“0”のエラー選択制御信号を出力する構成とされているので、最大値 $T_{max}$ が「9」、最小値 $T_{min}$ が「3」に設定されている場合は、図6(D)に示すエラー選択制御信号を出力する。

【0033】スイッチ回路23はこのエラー選択制御信号をスイッチング信号として受けると共に、端子23aに位相検出器142から図6(B)に模式的に示した位相誤差信号が入力され、端子23bに0発生器24から論理“0”が入力され、エラー選択制御信号が“1”のとき、すなわち、カウント値 $T_{count}$ が設定した最大値と最小値の範囲内にあるときには、端子23aに入力される位相誤差信号を選択し、エラー選択制御信号が“0”のとき、すなわち、カウント値 $T_{count}$ が設定した最大値と最小値の範囲内に無いときには、端子23bに入力される“0”を選択して出力する。従って、このスイッチ回路23からは、図6(E)に模式的に示す如き信号が新しい位相誤差信号として出力され、図2のループフィルタ144及びタイミング発生器145をそれぞれ通して補間器141に入力される。

【0034】このように、エラー選択回路143からは、隣り合う2つのゼロクロスポイントの時間間隔が、設定した最大値と最小値の範囲内のビットクロック時間間隔であるときには、位相検出器142の出力位相誤差信号はほぼ正確な位相誤差を示しているものと判断して位相検出器142の出力位相誤差信号を出力し、設定した最大値と最小値の範囲外のビットクロック時間間隔であるときには、位相検出器142の出力位相誤差信号は確からしくないので無効化し、“0”を出力する。

【0035】これにより、リサンプリングDPLL14の出力信号は、図6(F)に示すようになり、黒丸がほぼ正しい位相誤差を示しているものとして出力されるゼロクロスサンプルであり、白三角印が無効化された結果の位相誤差出力タイミングのサンプルを示しており、×印がそれ以外のサンプルデータを示している。この結果、自ら位相揺れ、ビットスリップなどを誘発せず、安定した位相の追従を行いながら、確実に記録媒体の記録情報を再生できる。

【0036】図7はエラー選択回路143をオンにしたときと、オフにしたときのエラーレート計測結果を示し、縦軸がビットエラーレート(BER)、横軸が時間を示す。ビットエラーレートの計測は、例えば、既知のデータを光ディスクから再生して図1の再生装置を通し、更にビタビ復号して得られた復号データと既知の記録データとを比較することにより行える。

【0037】図7にIで示すように、エラー選択回路143をオンにした状態のBERは、極めて小さく安定しているのに対し、エラー選択回路143をオフにした状態(従来のデジタル信号再生装置と同じ状態)のBERは、II及びIIIで示すように、時折著しく劣化している。これは、14Tの反転間隔を有する同期信号付近で

ビットスリップが生じたために、その同期信号ブロック全体に対して誤りが増加したことによる。このようなバーストエラーは、後段のビタビ復号器や誤り訂正回路を用いても訂正しきれず、システムとして障害となる。

【0038】このように、本実施の形態によれば、BERが小なる値に安定しており、位相揺れ、ビットスリップなどを誘発せず、安定した位相の追従を行いながら、確実に記録媒体の記録情報を再生できることがわかる。

【0039】次に、エラー選択回路143の他の実施の形態について説明する。図8は本発明の要部のエラー選択回路の他の実施の形態の回路系統図を示す。同図中、図3と同一構成部分には同一符号を付し、その説明を省略する。図8において、エラー選択制御信号発生器22とスイッチ回路23の間に、第1のD-FF26及び2入力AND回路27が設けられており、また位相検出器142の出力位相誤差信号のスイッチ回路23への信号経路中に、第2のD-FF28とスイッチ回路29及び0発生器30が設けられている。この実施の形態は、位相誤差信号のうち有効な成分だけを選択して、設定した範囲以外の反転間隔の前後に発生する不正確な位相誤差信号を無効化したものである。

【0040】次に、この実施の形態の動作について図8と図9のタイムチャートを併せ参照して説明する。図9(A)~(D)は図6(A)~(D)と同一の信号であり、その説明は省略する。図8に示すD-FF26はインネブル端子ENに0ポイント情報が入力され、クロック端子CLKにマスタークロックMCLKが入力され、位相検出器142から論理“1”の0ポイント情報(このときは、ゼロクロスポイントを示しており、リサンプリングによって形成されたサンプルポイントが存在するタイミングを示す)が入力される毎に、エラー選択制御信号発生器23からデータ入力端子に入力されるエラー選択制御信号をラッチする。従って、0ポイント情報が図9(E)に示す波形であるときには、D-FF26の出力端子からは図9(F)に示す信号が取り出される。

【0041】AND回路27は、このD-FF26の出力信号とエラー選択制御信号発生器22からのエラー選択制御信号とを入力として受け、これらの論理積演算をして図9(G)に示す信号を最終的なエラー選択制御信号としてスイッチ回路23にスイッチング信号として供給する。

【0042】ここで、D-FF26の出力信号は、エラー選択制御信号発生器22の出力エラー選択制御信号を、次のゼロクロスポイント入力時点まで遅延させた信号であるから、AND回路27の出力信号は、隣り合う3つのゼロクロスポイントのうち、1番目と2番目のゼロクロスポイントの時間間隔が、設定した最大値と最小値の範囲内であるかどうかを示す1つ前の(過去の)エラー選択制御信号と、2番目と3番目のゼロクロスポイントの時間間隔が、設定した最大値と最小値の範囲内で



あるかどうかを示す現在のエラー選択制御信号とが共に論理"1"であるときのみ論理"1"となる。

【0043】一方、D-FF28はイネーブル端子ENに0ポイント情報が入力され、クロック端子CLKにマスタークロックMCLKが入力され、論理"1"の0ポイント情報が入力される毎に、位相検出器142から出力された図9(B)に模式的に示す位相誤差信号をラッチする。このD-FF28はD-FF26の出力信号との時間合わせのために位相誤差信号を、次のゼロクロスポイントまで遅延させるものであるが、D-FF28の出力信号は、次に論理"1"の0ポイント情報が入力されるまでの期間保持され続けてしまう。

【0044】そこで、スイッチ回路29により0ポイント情報が論理"1"である期間中はD-FF28から出力されて端子29aに入力される遅延位相誤差信号を選択し、0ポイント情報が論理"0"である期間中は0発生器30より端子29bに入力された値"0"の信号を選択させることにより、論理"1"の0ポイント情報の期間のみ位相誤差情報を示す位相誤差信号を得ることができる。従って、0ポイント情報が図9(E)に示す波形であるときには、スイッチ回路29からは図9(H)に模式的に示す位相誤差信号が出力され、スイッチ回路23の端子23aに入力される。

【0045】このスイッチ回路23は、図3と同様の動作を行い、AND回路27からのエラー選択制御信号が"1"のとき、すなわち、前後2つのカウント値Tcountが設定した最大値と最小値の範囲内にあるときには、端子23aに入力される位相誤差信号を選択し、エラー選択制御信号が"0"のとき、すなわち、前後2つのカウント値Tcountのいずれか一方又は両方が設定した最大値と最小値の範囲内に無いときには、端子23bに入力される値"0"を選択して出力する。

【0046】従って、このスイッチ回路23からは、図9(I)に模式的に示す如き信号が新しい位相誤差信号として出力され、図2のループフィルタ144及びタイミング発生器145をそれぞれ通して補間器141に入力される。

【0047】このように、図8に示す構成のエラー選択回路143からは、現在のゼロクロスポイントの時間間隔と1つ前のゼロクロスポイントの時間間隔が、共に設定した最大値と最小値の範囲内のビットクロック時間であるときには、位相検出器142の出力位相誤差信号はほぼ正確な位相誤差を示しているものと判断して位相検出器142の出力位相誤差信号を出力し、少なくともいづれか一方が設定した最大値と最小値の範囲外のビットクロック時間であるときには、位相検出器142の出力位相誤差信号は確からしくないので無効化し、"0"を出力する。つまり、設定した範囲以外の反転間隔の前後に発生する不正確な位相誤差信号は無効化する。

【0048】これにより、リサンプリングDPLL14

の出力信号は、図9(J)に示すようになり、黒丸がほぼ正しい位相誤差を示しているものとして出力されるゼロクロスサンプルであり、白三角印が無効化された結果の位相誤差出力タイミングのサンプルを示しており、×印がそれ以外のサンプルデータを示している。この結果、自ら位相揺れ、ビットスリップなどを誘発せず、安定した位相の追従を行いながら、確実に記録媒体の記録情報を再生できる。

【0049】なお、本発明は上記の実施の形態に限定されるものではなく、例えば、図1の減算回路13とエラー演算器15とは設けなくともよい。また、光ディスクなどの記録媒体はもとより、帯域制限を生ずるDCフリーでない信号の伝送においても本発明を適用し得る。

【0050】

【発明の効果】以上説明したように、本発明によれば、位相誤差信号のうちの有効な成分だけを選択して、設定した範囲以外の反転間隔の前と後の少なくとも一方に発生する位相誤差信号を無効化して新しい位相誤差信号を生成して出力することにより、確からしくない位相誤差に基づくリサンプリング動作を行わないようにしたため、従来に比べて自らの位相揺れ、ビットスリップなどを誘発することなく、安定した位相の追従を行いながら、安定した性能により、確実に記録媒体の記録情報を再生することができる。

【0051】これにより、本発明によれば、パースナルレスポンス等化を行うイコライザの後段のビタビ復号回路において、理論値に近い、高エラーレート低減効果を発揮させることができる。

【図面の簡単な説明】

【図1】本発明装置の一実施の形態のブロック図である。

【図2】本発明の要部であるリサンプリングDPLLの一例のブロック図である。

【図3】図2中のエラー選択回路の一実施の形態のブロック図である。

【図4】図3中のTカウント回路の一例のブロック図である。

【図5】図3中のエラー選択制御信号発生器の動作説明図である。

【図6】図2及び図3の動作説明用タイムチャートである。

【図7】本発明装置の一実施の形態の効果の説明図である。

【図8】図2中のエラー選択回路の他の実施の形態の回路系統図である。

【図9】図2及び図8の動作説明用タイムチャートである。

【図10】一般的なデジタル信号再生装置の一例のブロック図である。

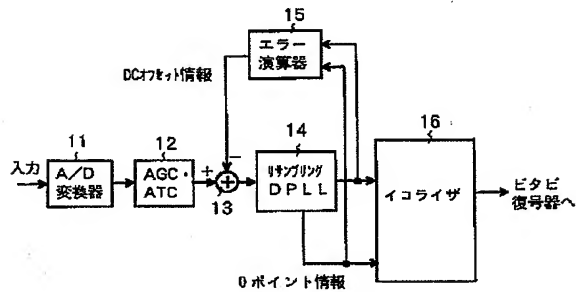
【符号の説明】



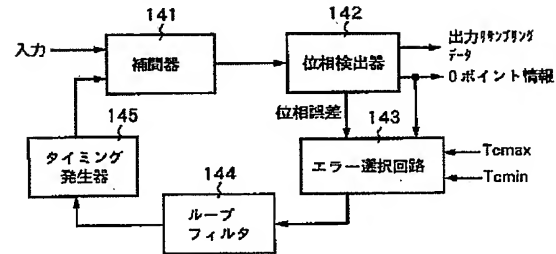
- 11 A/D変換器  
 12 AGC・ATC回路  
 14 リサンプリングDPLL回路  
 16 イコライザ  
 21 Tカウント回路  
 22 エラー選択制御信号発生器  
 23、29、211 スイッチ回路  
 24、30、214 0発生器  
 26、28、215 D型フリップフロップ(D-F \* F)

- \* F)  
 27 2入力AND回路  
 141 補間器  
 142 位相検出器  
 143 エラー選択回路  
 144 ループフィルタ  
 145 タイミング発生器  
 212 1発生器  
 213 加算器

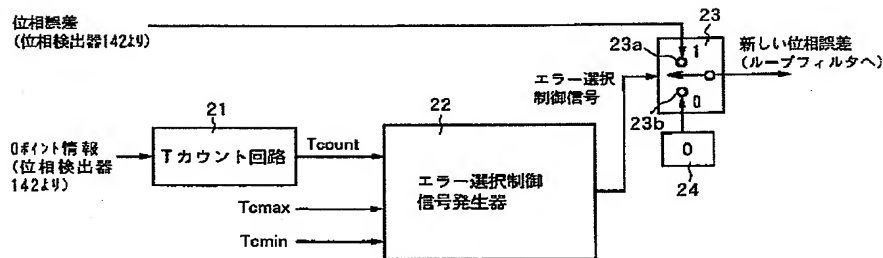
【図1】



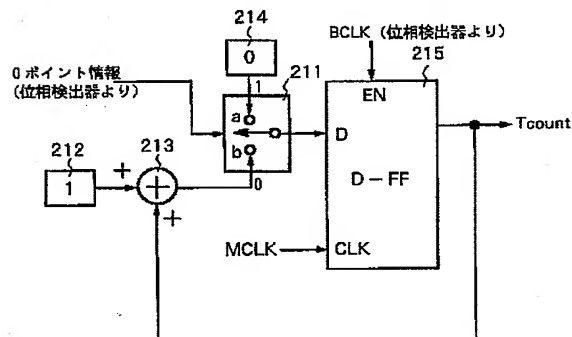
【図2】



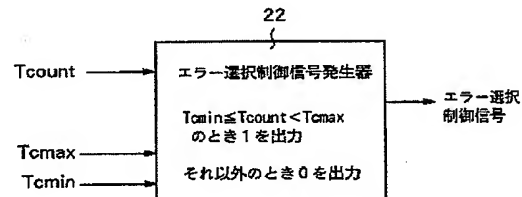
【図3】



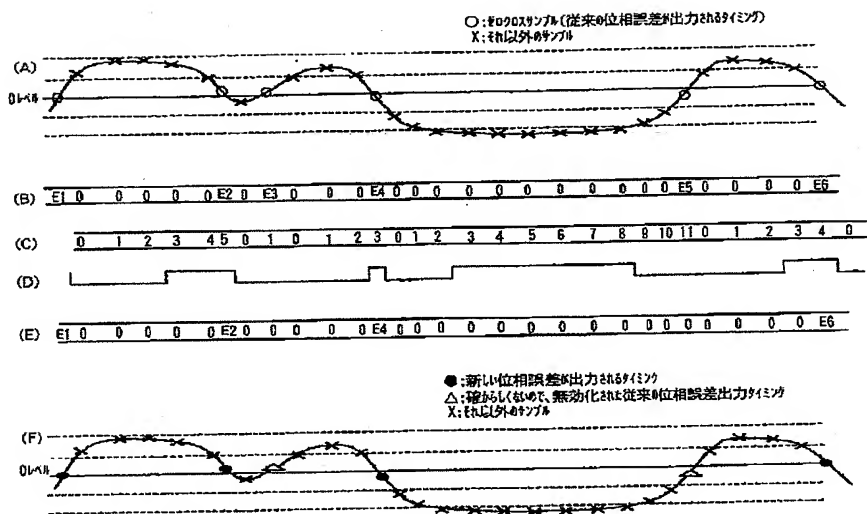
【図4】



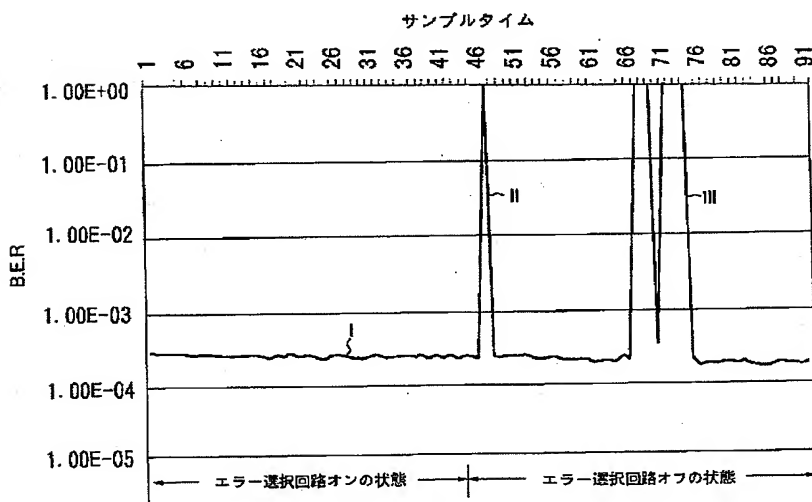
【図5】



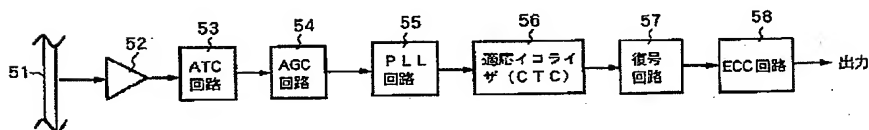
【圖6】



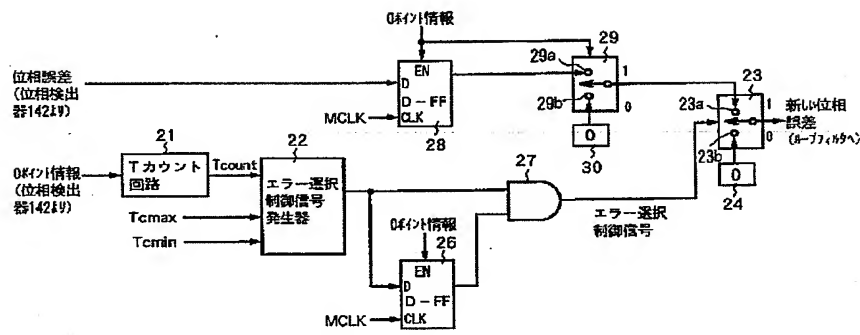
【圖 7】



【圖 10】



【図8】



【図9】

